

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10257068 A

(43) Date of publication of application: 25.09.98

(51) Int. Cl.

H04L 12/28

H04Q 3/00

(21) Application number: 09061019

(22) Date of filing: 14.03.97

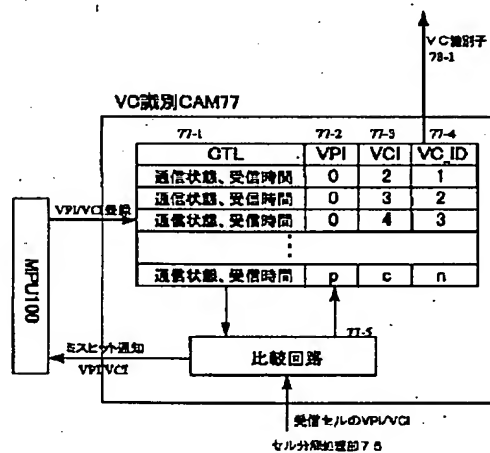
(71) Applicant: HITACHI LTD HITACHI CHIYOU
LSI SYST:KK(72) Inventor: EGUCHI KENTETSU
YOKOYAMA TATSUYA
MIZUTANI MIKA
TAKADA OSAMU
HATA EIZO
SUZUKI KOJI(54) ATM CONTROLLER AND ATM COMMUNICATION
CONTROLLER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an ATM controller capable of reducing number of entry of a CAM and dealing with a large number of VC.

SOLUTION: An ATM controller is provided with a CAM 77 to convert a VPI/VCI of a received cell into a VC ID at high speed when the cell is received. Reception time is stored in the CAM 77 by making correspondence to the VPI/VCI. A comparison circuit 77-5 judges whether or not the VPI/VCI in a header of the received cell is registered in the CAM when the cell is received, if the VPI/VCI is not registered, the entry of the VPI/VCI with the oldest reception time is discarded and the VPI/VCI and the VC ID of the received cell are newly registered in the CAM by an MPU 100. The VC ID corresponding to the VPI/VCI in the header of the received cell is outputted by the CAM 77.

COPYRIGHT: (C)1998,JPO



(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

G

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数5 O L (全 18 頁)

(21) 出願番号 特願平9-61019

(22) 出願日 平成9年(1997) 3月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 江口 賢哲

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

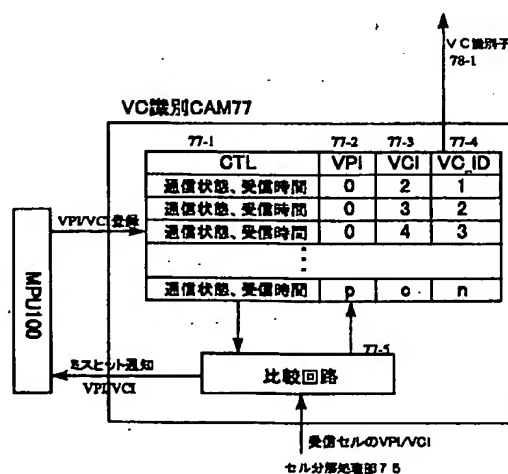
(54) 【発明の名称】 ATMコントローラおよびATM通信制御装置

(57) 【要約】

【課題】 CAMのエントリ数を少なくし、なおかつ、多数のVC数に対応できるATMコントローラを提供する。

【解決手段】 ATMコントローラは、セルを受信した時にこの受信セルのVPI/VCIをVC_IDに高速変換するCAM77を備える。また、CAM77は、受信時間をVPI/VCI対応させて記憶しておく。比較回路77-5は、セル受信時に受信セルのヘッダ中のVPI/VCIがCAMに登録されているかを判断し、登録されていないければ、MPU100が、CAMの中で受信時間が最も古いVPI/VCIのエントリを破棄し、受信セルのVPI/VCIとVC_IDとを新しくCAMに登録する。CAM77は、受信セルのヘッダ中のVPI/VCIに対応するVC_IDを出力する。

図10



【特許請求の範囲】

【請求項1】 端末に接続されるATMコントローラにおいて、

ATMコネクションにおける、あらかじめ定められた仮想論理チャネルの第一の識別情報に対応する、当該ATMコントローラにおいて利用するための、第二の識別情報を設定する設定手段と、

前記ATMコネクションの前記設定手段に設定された第一および第二の識別情報に対応させて記憶するための記憶領域を複数備える記憶手段と、

前記ATMコネクションにおいてATMセルを受信したときに、前記記憶手段を参照し、当該ATMセルに付加されている前記第一の識別情報が、前記第二の識別情報に対応させて記憶されているか否かを識別する識別手段と、

前記識別手段により識別された結果、前記ATMコネクションに対応する前記第一の識別情報が、前記第二の識別情報に対応させて記憶されていない場合に、当該ATMコネクションの前記設定手段に設定された前記第一および第二の識別情報に対応させて前記記憶手段に登録する登録手段と、

前記ATMコネクションにおいてATMセルを受信したときに、前記記憶手段に記憶されている、当該ATMセルに付加されている前記第一の識別情報に対応する前記第二の識別情報を、当該ATMセルに対応させて出力する出力手段とを有し、

前記登録手段は、前記登録を行うときに、前記記憶手段の記憶領域に空きがない場合には、いずれかの記憶領域に登録を行い、

前記設定手段は、前記ATMコネクションが確立したときに、当該ATMコネクションの解放までは、当該ATMコネクションの第一の識別情報に対応する第二の識別情報を保持しておくことを特徴とするATMコントローラ。

【請求項2】 請求項1に記載のATMコントローラにおいて、

前記記憶手段は、前記記憶領域に、前記第一および第二の識別情報に対応させて、前記ATMセルを受信した時間を示す受信時間情報をさらに記憶する領域を備え、

前記登録手段は、前記ATMコネクションにおいてATMセルを受信したときに、前記記憶領域に、前記ATMセルの前記第一および第二の識別情報に対応させて前記ATMセルの受信時間情報を登録し、また、前記第一および第二の識別情報に対応させて前記記憶手段に登録するときに、前記記憶手段の記憶領域に空きがない場合には、各々の記憶領域の前記受信時間情報を参照し、当該受信した時間が最も過去の受信時間情報を記憶する記憶領域に、前記登録を行うことを特徴とするATMコントローラ。

【請求項3】 請求項1に記載のATMコントローラにお

いて、前記登録手段は、前記ATMコネクションが解放されたときに、前記記憶手段の、当該ATMコネクションに対応する前記第一および第二の識別情報の登録を削除することを特徴とするATMコントローラ。

【請求項4】 伝送路と端末とに接続され、ATMプロトコルのATMレイヤとAAL (Atm Adaptation Layer) レイヤとの処理を行うATM通信制御装置において、

ATMコネクションにおける、あらかじめ定められた仮想論理チャネルの第一の識別情報に対応する、当該ATMコントローラにおいて利用するための、第二の識別情報に対応させてパケットデータを記憶するバッファメモリと、

前記端末と前記バッファメモリとの間で、前記パケットデータの転送を制御するコントローラと、

前記バッファメモリに格納された、前記端末からのパケットデータをATMセルに分割し、分割したATMセルを前記伝送路に送信し、また、前記伝送路より受信した複数のATMセルを組み立ててパケットデータを生成し、生成したパケットデータを前記バッファメモリに格納するATMセル送受信制御回路と、

管理用のATMセルについての処理の制御プログラムを保持するプログラムメモリと、

前記プログラムメモリに記憶する前記制御プログラムに従って処理を行うプロセッサとを有し、

前記ATMセル送受信制御回路は、前記ATMコネクションの第一および第二の識別情報に対応させて記憶するための記憶領域を複数備えるメモリと、前記ATMコネクションにおいてATMセルを受信したときに、前記メモリを参照し、当該ATMセルに付加されている前記第一の識別情報が、前記第二の識別情報に対応させて記憶されているか否かを識別する識別回路と、前記ATMコネクションにおいてATMセルを受信したときに、前記メモリを参照し、当該ATMコネクションの前記第一の識別情報に対応する前記第二の識別情報を、当該ATMセルに対応させて出力する出力回路とを備え、

前記制御プログラムは、前記ATMコネクションにおける第一の識別情報に対応する第二の識別情報を設定するステップと、当該第一の識別情報に対応する第二の識別情報を保持するステップと、前記識別回路により識別された結果、前記ATMコネクションに対応する前記第一の識別情報が、前記第二の識別情報に対応させて記憶されていない場合に、当該ATMコネクションの前記設定による前記第一および第二の識別情報に対応させて前記メモリに登録するステップと、前記登録を行うときに、前記メモリに記憶領域に空きがない場合には、いずれかの記憶領域に登録を行うステップとを、前記プロセッサにより実現するためのプログラムを備えることを特徴とするATM通信制御装置。

【請求項5】 請求項4に記載のATM通信制御装置にお

いて、
前記メモリは、前記記憶領域に、前記第一および第二の識別情報に対応させて、前記ATMセルを受信した時間を示す受信時間情報をさらに記憶する領域を備え、
前記制御プログラムは、前記ATMコネクションにおいてATMセルを受信したときに、前記記憶領域に、前記ATMセルの前記第一および第二の識別情報に対応させて前記ATMセルの受信時間情報を登録するステップと、前記第一および第二の識別情報に対応させて前記メモリに登録するときに、前記メモリの記憶領域に空きがない場合には、各々の記憶領域の前記受信時間情報を参照し、当該受信した時間が最も過去の受信時間情報を記憶する記憶領域に、前記登録を行うステップとをさらに実現するためのプログラムを備えることを特徴とするATM通信制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、端末とATM(Asynchronous Transfer Mode)網との間で、ATMプロトコルの下位層の処理を行うATM通信制御装置と、その装置内に備えるATMコントローラとに関する。

【0002】

【従来の技術】ATM網では、ATM通信制御装置に回線を介して接続された複数の端末の間で、ATMプロトコルに従った通信が行われる。ATM通信制御装置は、ATMプロトコルのプロトコルレイヤの下位層の処理制御を行うために、端末で生成された可変長のパケットを、固定長のATMセルに分割して回線に送信する一方、回線より受信した複数のATMセルを組立ててパケットを生成し、端末に生成したパケットを渡している。

【0003】なお、ATMプロトコルについては、ITU(国際電気通信連合)の勧告に基づいてATMフォーラムが標準化を進めている。

【0004】通信を行う端末間同士は、実際にデータを送信する通信路である仮想論理チャネル(以下、VCと記す)を確立して通信を行っている。従来のATM通信制御装置では、ATMセルの分割/組立の処理において、そのVCを、仮想経路識別子(VPI)および仮想チャネル識別子(VCI)の組み合わせにより識別している。さらに装置内においては、仮想経路識別子(VPI)および仮想チャネル識別子(VCI)の組み合わせによる識別子は3バイトでビット数が大きいので、扱いやすいビット数の、あらかじめ定めたVC識別子に変換している。

【0005】この変換方法としては、ATMセルのヘッダ中の仮想経路識別子(VPI)および仮想チャネル識別子(VCI)の組み合わせに対応する、装置内であらかじめ定めたVC識別子をあらかじめテーブルに登録しておき、テーブルを検索して行う方法がある。また、特開平

6-510641号公報に示すように、このテーブルをContents Addressable Memory(CAM)に記憶させておき、VPI/VCIを装置内で定めたVC識別子に高速変換する方法がある。さらに、3バイトあるVPI/VCIの特定ビットを抽出し、この特定ビットをVC識別子として用いるものがある。

【0006】

【発明が解決しようとする課題】上記従来の技術によるATMコントローラにおいて、VPI/VCIの組み合わせをテーブル検索によってVC識別する場合は、VC数が多いと処理時間が大きくなる。

【0007】また、CAMを用いてVPI/VCIの組み合わせをVC識別子に高速変換する場合、変換できるVC数を多くしようとすると、それに比例してハード規模が大きくなる。

【0008】さらに、3バイトあるVPI/VCIの特定ビットをVC識別子とする場合、VPI/VCIの取りうる値に制限が付き大規模システムへの対応に無理が生じる可能性がある。

【0009】本発明は、ハード規模が小さく、しかも多くのVCをサポートでき、高速なVC識別を行うことができるATMコントローラおよびATM通信制御装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明では、端末に接続されるATMコントローラにおいて、ATMコネクションにおける、あらかじめ定められた仮想論理チャネルの第一の識別情報に対応する、当該ATMコントローラにおいて利用するための、第二の識別情報を設定する設定手段と、前記ATMコネクションの前記設定手段に設定された第一および第二の識別情報に対応させて記憶するための記憶領域を複数備える記憶手段と、前記ATMコネクションにおいてATMセルを受信したときに、前記記憶手段を参照し、当該ATMセルに付加されている前記第一の識別情報が、前記第二の識別情報に対応させて記憶されているか否かを識別する識別手段と、前記識別手段により識別された結果、前記ATMコネクションに対応する前記第一の識別情報が、前記第二の識別情報に対応させて記憶されていない場合に、当該ATMコネクションの前記設定手段に設定された前記第一および第二の識別情報に対応させて前記記憶手段に登録する登録手段と、前記ATMコネクションにおいてATMセルを受信したときに、前記記憶手段に記憶されている、当該ATMセルに付加されている前記第一の識別情報に対応する前記第二の識別情報を、当該ATMセルに対応させて出力する出力手段とを有し、前記登録手段は、前記登録を行うときに、前記記憶手段の記憶領域に空きがない場合には、いずれかの記憶領域に登録を行い、前記設定手段は、前記ATMコネ

クションが確立したときに、当該ATMコネクションの解放までは、当該ATMコネクションの第一の識別情報に対応する第二の識別情報を保持しておく。

【0011】本発明によれば、識別手段が、前記ATMコネクションにおいてATMセルを受信したときに、前記記憶手段を参照し、当該ATMセルに付加されている前記第一の識別情報が、前記第二の識別情報に対応させて記憶されているか否かを識別し、記憶手段に登録されていないATMコネクションに対応する第一および第二の識別情報については、登録手段により登録されるので、すべての第一および第二の識別情報の対応関係を記憶しておく必要がないので、記憶手段の記憶領域を少なくしておくことができ、回路規模を小さくすることができる。また、設定手段が、前記ATMコネクションが確立したときに、当該ATMコネクションの解放までは、当該ATMコネクションの第一の識別情報に対応する第二の識別情報を設定しておくことにより、前記ATMコネクションの確立後、当該ATMコネクションの解放までは、当該ATMコネクションの第一の識別情報に対応して同一の第二の識別情報を登録することができる。例えば、ATMコネクションの確立後に、他のATMコネクションに対応する第一および第二の識別情報が登録されたことにより、記憶手段の登録が削除されても、当該ATMコネクションの第一の識別情報に対応しては、同一の第二の識別情報が登録されるので、装置内で不具合が生じることはない。これにより、記憶手段の記憶領域の数より多くのVCの接続をサポートすることができる。

【0012】また、記憶手段は、例えば、CAMを用いることにより、第一の識別情報(VPI/VCI)を第二の識別情報(VC識別子)に高速に変換することができる。

【0013】

【発明の実施の形態】以下で、本発明の実施の形態を、図面を参照しながら説明する。

【0014】図2は、本実施形態に係るATM通信制御装置が適用される通信ネットワークシステムの全体構成図を示している。図2において、計算機等である端末1(1A~1D)は、ATM通信制御装置2(2A~2D)と伝送路7とを介して、ATMスイッチ3に接続されている。ATM通信制御装置2は、端末1によるVCの確立後、パケットをセルに分割し、セルのヘッダにVPI/VCIを付加して送出し、ATMスイッチ3では、セルのヘッダに付加されているVPI/VCIを参照してスイッチングを行っている。

【0015】図3に、ATM通信プロトコルのレイヤ構成と、端末1とATM通信制御装置2との機能分担を示す。図3に示すように、セルの分割・組立を行うAALレイヤ以下の下位レイヤをATM通信制御装置2において制御する。また、ATMコネクションを確立するシ

グナリング処理を含むLLCレイヤ以上の上位レイヤは、端末1において制御している。

【0016】つぎに、ATM通信制御装置2の構成を図1を参照して説明する。図1に、端末1およびATM通信制御装置2の構成のブロック図の一例を示す。

【0017】図1において、端末1は、通信に関わる構成として、主プロセッサ4と、主メモリ5と、それらを接続するシステムバス6とを備える。ATM通信制御装置2は、端末1のシステムバス6に接続され、セルの分割・組立て処理を行うATMコントローラ8と、伝送路7への転送制御を行うPHYコントローラ9と、送受信されるセル、および、セルの分割・組立てに必要な情報を格納するバッファメモリ40と、PHYコントローラ9を駆動する水晶発振器10とを有する。

【0018】また、ATMコントローラ8は、端末1のシステムバス6に接続するためのバスインタフェース回路90と、上記主メモリ5とバッファメモリ40との間でパケットの転送を行うHOST・DMAC50と、バッファメモリ40上でセルの分割・組立てを行うSAR・DMAC60と、セルの生成および解析を行うセル送受信制御部70と、MPU100と、MPU100の制御プログラムのプログラムコードを格納するROM20と、MPU100のワークメモリであるRAM30と、上記HOST・DMAC50とSAR・DMAC60とMPU100との、バッファメモリ40へのアクセスを調停するアービタ110と、上記主プロセッサ4とMPU100との間で制御情報をやりとりするための共有メモリ80と、コントローラ内の各部を相互に接続する内部バス200とを有する。ROM20に格納されたプログラムコード(制御プログラム)は、バスインタフェース回路90および内部バス200を介して、端末1の主プロセッサ4から書き替えることができる。本実施の形態におけるATMコントローラは、プログラムコードの書き換えにより、マイクロプロセッサに割り当てられるATMプロトコル処理の設定や変更、そしてCAMの書き換え方法の変更に対応することができる。

【0019】なお、ATMコントローラ8は水晶発振器(図示略)を内蔵しており、コントローラ内の各部は、この水晶発振器のクロックに従って動作する。

【0020】つぎに、端末1及びATM通信制御装置2における各プロトコルレイヤでの処理を、図4に示すATMセルのフォーマットを参照して説明する。図4に、図2に示す伝送路7で伝送されるATMセルのフォーマットを示す。

【0021】前述したように、ATM通信制御装置2では、図3に示すように、AALレイヤ以下の下位レイヤの処理を行うが、より具体的には、ATMレイヤとAAL(Atm Adaptation Layer)レイヤとの処理をATMコントローラにおいて行い、PHYレイヤの処理は、PHYコントローラ9において行う。

【0022】図4において、端末1は、送信する可変長のデータ41に、LLCレイヤ以上のレイヤ処理で得た上位プロトコルヘッダ42-1を付加することで、LLCフレーム42を生成する。ATM通信制御装置2では、AALレイヤ(AAL5)の処理で、LLCフレーム42に、PADフィールド43-1、LNGフィールド43-2、CRC-32フィールド43-3から成るCPCSTレイラを付加し、CPCS-PDU43を生成する。そして、ATMレイヤの処理では、CPCS-PDU43を48バイト毎のデータ(以下、ペイロードと

10 記す)44-2に分割し、分割した個々のペイロード44-2にセルヘッダ44-1を付加することで、セル44を生成する。生成されたセル44は、PHYレイヤの処理を経て伝送路7上に送出される。

【0023】一方、受信されたセルは、送信とは逆の手順でLLCフレームに組立てられる。

【0024】また、セルヘッダ44-1は、フロー制御等に使用されるGFCフィールド44-1Aと、ATMコネクションの識別子であるVPIフィールド44-1Bと、VCIフィールド44-1Cと、セルの種別(パ

20 ケットの最終セルの指定を含む)を示すPTフィールド44-1Dと、セル破棄優先を示すCLPフィールド44-1Eと、セルヘッダ44-1に対する誤り検出用情報であるHECフィールド44-1Fとで構成される。

【0025】図5に、セルのペイロードのフォーマットを、セルの種別毎に示す。図5において、セルの種類は、ユーザデータを運ぶデータセル45と、ネットワークの保守/運用に使用されるOAMセル46と、データセルの送信レート制御に使用されるRMセル47とに分類される。これらの種別は、セルヘッダ44-1内のPT

30 フィールド44-1Dにセル種別の識別情報が付加され、これを参照することにより識別される。

【0026】つぎに、ATM通信制御装置2におけるセルの送受信シーケンスを図6を参照して説明する。図6に、ATM通信制御装置2におけるセルの送受信シーケンスの一例を示す。

【0027】図6において、端末1は、通信相手の端末1との間で、まず、ATMのコネクションを設定する(VC設定)。VC設定および解放は、端末1のシグナリング処理により行われる。端末1から送信されるパ

40 ケットは、ATM通信制御装置2内でセルに分割されて、伝送路7に送出される。受信側のATM通信制御装置2では、受信セルはパケットに組み立てられて、端末1に転送される。

【0028】また、ATM通信制御装置2は、データセルの転送以外に、前述したOAMセルやRMセルといった管理セルを、他のATM通信制御装置2やATMスイッチ3との間でやり取りする。そして、セルの転送の終了後、VCを解放して通信を終了する。

【0029】つぎに、ATM通信制御装置2のATMコ

ントローラ8の処理について説明する。図7に、ATMコントローラ8における、ATMプロトコル処理の機能分担表を示す。

【0030】図7に示すように、本実施の形態におけるATMコントローラ8では、管理セルの生成・解析処理や、パケット単位に発生する端末1とのインタフェース処理など、処理内容の変更に対する要求が高い部分に限って、MPU100が処理する。そして、CRC計算や、セルの分割・組立て処理といった、処理内容の変更よりも処理の高速性の方が優先する部分については、ワイヤードロジックで処理する。このように処理を分担することで、MPU100の処理負荷を軽減させている。

【0031】つぎに、バッファメモリの構成を図8を参照して説明する。

【0032】図8に、図1に示すバッファメモリ40内に定義されたテーブルの構成図を示す。図8において、バッファメモリ40には、SAR・DMAC60がセルの分割(送信)処理で利用する分割管理情報を保持する分割管理テーブル45と、SAR・DMAC60がセルの組立て(受信)処理で利用する組立管理情報を保持する組立管理テーブル47と、送信対象のパケットを格納する送信バッファ46と、組み立てられた受信パケットを格納する受信バッファ48と、管理セルを保持する管理セル用受信バッファ49Aと、管理セルを保持する管理セル用送信バッファ49Bとが設定されている。これらのテーブルおよびバッファは、VC毎に設けられ、VC識別子により識別される。

【0033】図8において、分割管理テーブル45は、次に送信すべきセルのペイロード44-2の、送信バッファ46における格納位置(アドレス)を保持する送信バッファポインタ45-1と、送信すべきデータのデータ長を示す送信データ長45-2と、セル送信毎に更新されるCRC計算の結果を保持する送信CRC計算途中結果45-3と、ペイロード44-2に付加するセルヘッダ44-1のテンプレートを保持する送信セルヘッダ45-4とで構成される。組立て管理テーブル47は、次に受信するセルの、受信バッファ48におけるアドレスを保持する受信バッファポインタ47-1と、受信データのデータ長を示す受信データ長47-2と、セル受信毎に更新されるCRC計算の結果を保持する受信CRC計算途中結果47-3で構成される。

【0034】つぎに、本実施の形態におけるATMコントローラ8の内部構成とその動作とを説明する。

【0035】図9に、図1に示すセル送受信制御部70の内部構成のブロック図を示し、図10に、図9に示すVC識別CAM77の構成図を示す。

【0036】図9において、セル送受信制御部70は、受信したセルを一時的に保持する受信FIFO74と、受信FIFO内のセルを分解して転送するセル分解処理部75と、セルの経路情報の変換を行うVC識別CAM

77と、送信セルを生成するセルヘッダ組立て処理部71と、生成された送信セルを一時的に保持する送信FIFO72とを有する。

【0037】セル分解処理部75は、セルのペイロードと、ヘッダ中のPTフィールド44-1D(セル種別)とを、ペイロード受信バス78-3とセル種別78-2とのバスを介してSAR・DMAC60に転送し、VPIフィールド44-1BおよびVCIフィールド44-1CをVC識別CAM77に転送する。

【0038】図10に示すようにVC識別CAM77は、ATMのコネクション確立後に、セルの送受信を行う際に、接続に使用されるVPIを格納するVPI77-2、接続に使用されるVCIを格納するVCI77-3およびATM通信制御装置におけるVCの識別情報を格納するVC_ID77-4と、受信情報を格納するCTL77-1とを有する。また、VC識別CAM77は、受信セルのVPI/VCIとCAMに登録してあるVPI/VCIとを比較する回路77-5を備える。受信情報としては、それらをVC識別CAM77に登録した時間、そのVCを使用したATMのコネクションの通信状態、および、当該VCに対して最後にセルを受信した受信時間などがある。

【0039】図1に示すMPU100により、MPU100がVPIおよびVCIとVC_IDと受信情報との組がVC設定時にVC識別CAM77に登録される。VC_IDは、ATM通信制御装置におけるVCの識別情報であり、VPIおよびVCIのビット数よりも少ないビット数で規定され、MPU100がVPIおよびVCIに対応させて設定する。例えば、図17に示すように、MPU100ではVPIおよびVCIに対応させてVC_IDを割り当て、このATMコネクションの確立後、解放されるまでは、割り当てたVC_IDをVPIおよびVCIに対応させて記憶しておくことにより、VC識別CAM77に登録するときには、同一のVPIおよびVCIに対しては、同一のVC_IDを登録することができる。また、図17に示すような、対応関係を参照することにより、使用していないVC_IDを割り当てることができる。さらに、図17に示すVC_IDに対応させてフラグを設けておき、ATMコネクションの確立時に、MPU100がフラグをオンし、VPIおよびVCIを記憶させておき、解放時にフラグをオフするようにしてもよい。これにより、フラグがオフのVC_IDを割り当てることができる。

【0040】また、図17に示すような対応関係は、図9に示すセル送受信制御部に記憶しておき、MPU100がこの対応関係を参照するようにしてもよい。

【0041】ATM通信制御装置においては、このVC_IDによりコネクションが識別される。

【0042】比較回路77-5は、セルの受信時に、図9に示すセル分解処理部75より入力される、当該受信

セルのセルヘッダに含まれているVPI44-1BとVCI44-1Cとに一致する組がVC識別CAM77に登録されているかを検索する。VC識別CAM77に受信セルのVPI/VCIの組み合わせが登録されている場合は、VC識別CAM77を用い、受信時間を含む受信情報を登録するとともに、受信セルのVPI/VCIに対応するVC_IDを抽出し、SAR・DMAC60に送出することにより、VCの識別を行う。また、比較回路77-5は、VC識別CAM77に受信セルのVPI/VCIの組み合わせが登録されていない場合は、MPU100にミスヒットを通知する。MPU100は、VC識別CAM77のCTL77-1を参照し、その受信情報の内容より、テーブルに登録しているVPI/VCIの組み合わせの中で受信時間が最も古いVPI/VCIの組み合わせを選び、このエントリを破棄し、新たに受信したセルのVPI/VCIの組み合わせ、これに対応するVC_IDおよび受信情報をVC識別CAM77に登録する。これにより、新たに受信したセルのVPI/VCIの組み合わせとVC_IDとが、古いVPI/VCIの組み合わせが記憶されていた記憶領域に、上書きされる。

【0043】図11に、SAR・DMAC60の内部構成のブロック図を示す。図11において、SAR・DMAC60は、図8に示すバッファメモリ40の組立て管理テーブル47を用いて、受信セルを、順次、受信バッファ48に格納するRXDMAC62と、図8に示すバッファメモリ40の分割管理テーブル45を用いて、送信バッファ46に格納されたパケットデータをセルに分割して順次、送信するTXDMAC61と、複数の格納領域がある受信バッファ48のうち、空き状態の格納領域のアドレスを保持する受信バッファプール65とを有する。また、RXDMAC62とTXDMAC61とには、セル送受信制御部から転送されるペイロードに対して、誤り検出用のCRC計算を行うCRC計算回路63、64が各々内蔵されている。

【0044】つぎに、本実施の形態におけるコネクション設定時のATM通信制御装置の処理を説明する。図13に、端末がATMのコネクションを設定する時のVC識別CAM77とMPU100の間の動作を示すフローチャートを示す。

【0045】図13において、図1に示すMPU100は、端末1よりコネクションの設定が完了した通知を受けると(ステップ400)、VC識別CAM77において空きがあるかどうかを判別し(ステップ401)、空きがない場合、MPU100はVC識別CAM77のCTL77-1の受信時間が最も古いエントリを検索し、当該エントリのVPI/VCIおよびVC_IDを破棄する。つぎに、コネクションの設定が完了した、最新のVPI/VCIに対して、図17に示すような対応関係を参照し、使用していないVC_IDを割り当て、対応関係を記憶するとともに、VC識別CAM77に最

新のVPI/VCIと割り当てたVC_IDとを登録する(ステップ402)。空気があれば最新のVPI/VCIと割り当てたVC_IDとをVC識別CAM77に登録する(ステップ403)。また、コネクション切断時には、MPU100は、切断されたVPI/VCIに対応するエントリを削除する。これにより、コネクション確立時にVPI/VCIがVC識別CAM77に登録され、また、コネクション切断時に、VPI/VCIの登録が削除される。

【0046】つぎに、データを送信するときのATM通信制御装置2の処理を図12を参照して説明する。

【0047】図12に、ATM通信制御装置2のデータ送信時のフローチャートを示す。図12において、図1に示すMPU100は、共有メモリ80を介して端末1より、VCに対応するパケット送信要求を受けると(ステップ300)、HOST-DMAC50を起動して、主メモリ5に格納された送信パケットを、対応するVCの送信バッファ46に転送する(ステップ301)。また、MPU100は、送信バッファ46に転送された送信パケットに対して、図4に示すような、CRCフィールド43-3以外のCPCSTレイラを付加し(ステップ302)、送信バッファ46の先頭アドレスと、送信データ長と、送信するセルに付加するセルヘッダの内容を示すテンプレートとを、図8に示す分割管理テーブル45のVC識別子に対応する領域に設定する(ステップ303)。

次に、MPU100は、送信対象のVCを示すVC識別子を指定してTxDMAC61を起動し、セルの送信を要求する(ステップ304)。TxDMAC61は、指定されたVC識別子に対応する分割管理テーブル45から、送信バッファポインタ45-1、送信データ長45-2、送信CRC計算途中結果45-3(初期値は0)、および、送信セルヘッダ45-4をそれぞれ読み出す(ステップ305)。次に、TxDMAC61は、送信データを48バイトの単位で読み出し、先に読み出したセルヘッダ45-4と合わせてセルを生成し、図1に示すセル送受信制御部70に対して生成したセルを送信する(ステップ306)。この時、TxDMAC61は、ペイロード部分に対してCRC計算を実行する。1つのセルの送信終了後に、CRC計算の結果を分割管理テーブル45に退避させ、次のセル送信に備えて、送信バッファポインタ45-1と送信データ長45-2とを更新しておく(ステップ307)。送信バッファポインタ45-1は、つぎのセルの先頭位置を示すように更新され、送信データ長45-2は、生成されたセル分のデータ長を減算した値に更新される。

【0048】以降、送信データ長45-2が"0"となるまで、ステップ305~307を繰り返す(ステップ308)。送信データ長45-2が"0"となったときに、最終セルの送信が完了したとして、その時のCRC計算結果をCPCSTレイラのCRC-32フィールド

43-3に挿入して、図1に示すセル送受信制御部70を介してPHYコントローラ9に送信する(ステップ309)。TxDMAC61は、全てのパケット送信が完了すると、MPU100にパケット送信の完了を通知する(ステップ310)。この通知を受けたMPU100は、端末1に対してパケット送信の完了を通知する(ステップ311)。

【0049】つぎに、データを受信するときのATM通信制御装置2の処理を図14および図15を参照して説明する。図14および図15に、ATM通信制御装置2のセル受信時のフローチャートを示す。

【0050】図14において、図1に示すATMコントローラ8のセル送受信制御部70では、PHYコントローラ9よりセルを受信すると(ステップ500)、図9に示すセル分解処理部75が受信セルのセルヘッダを解析し、図5に示すセルの種別を判別し、判別した結果をセル種別78-2に出力する(ステップ501)。同時に、VC識別CAM77において受信セルのVCの検索を行う(ステップ502)。

【0051】検索の結果、受信セルのVPI/VCIがVC識別CAM77に登録されていた場合、VC識別CAM77の、受信セルのVPI/VCIに対応するCTL77-1に現時刻を設定し(ステップ507)、登録されていたエントリのVC_IDの値を当該VCのVC_IDとして出力する(ステップ508)。

【0052】検索の結果、受信セルのVPI/VCIの組み合わせがVC識別CAM77に登録されていなかった場合、受信セルのVPI/VCIの組み合わせがVC識別CAM77に登録されていなかったことをMPU100に通知する(ステップ503)。同時にVC識別CAM77に空きがあるかどうかを判別し(ステップ504)、空気があれば、VC識別CAM77に受信セルのVPI/VCIを登録し(ステップ505)、空気がない場合は、MPU100はVC識別CAM77のCTL77-1で、受信時間が最も古いエントリを検索し、当該エントリのVPI/VCIを破棄し、新たに受信したセルのVPI/VCIの組み合わせおよびこれに対応するVC_IDをVC識別CAM77に登録し(ステップ506)、CTL77-1にその時刻を設定し(ステップ507)、登録されていたエントリのVC_IDの値を当該VCのVC_IDとして出力する(ステップ508)。ここで、VC識別CAM77に受信セルのVPI/VCIが登録されているか否かを調べるのは、コネクション確立後に、他のVPI/VCIが登録されたことにより、受信セルのVPI/VCIが廃棄されて、登録されていない場合に対応するためである。

【0053】次にセル送受信制御部70は、セル種別78-2およびVC識別子78-1を指定してRXDMAC62を起動する(ステップ509)。RXDMAC62では、セル種別78-2を判定し(ステップ51

0)、データセル45でなければ、図8に示す管理セル用受信バッファ49Aにセルを転送するとともに(ステップ511)、MPU100に管理セルの受信を通知する(ステップ512)。この通知を受けたMPU100は、受信した管理セルに応じた処理を行い(ステップ513)、必要に応じて返信用の管理セルを管理セル用送信バッファ49B上で作成し、TxDMAC61を起動して、作成した管理セルを送信させる(ステップ514、515)。

【0054】ステップ509において、受信したセルがデータセル45であった場合には、識別したVCに対応する組立て管理テーブル47(図8参照)からパラメータを読み出し(ステップ516)、受信バッファポインタ47-1に受信バッファ48のアドレスが登録されていないならば、受信バッファプール65から空き受信バッファの先頭アドレスを取り出して、組立て管理テーブル47の受信バッファポインタ47-1に登録する(ステップ517、518)。つぎに、図15において、受信したセルのペイロード部分を、受信バッファポインタ47-1の示すアドレスに、CRC計算を行いながら転送する(ステップ519)。転送が完了すると、RXDMAC62は、CRC計算結果を組立て管理テーブル47の受信CRC計算途中結果47-3に退避させ、次のセル受信に備えて、受信バッファポインタ47-1と受信データ長47-2を更新しておく(ステップ520)。受信バッファポインタ47-1は、つぎのセルの格納位置を示すように更新され、受信データ長47-2は、転送されたセル分のデータ長を加算した値に更新される。

【0055】以降、受信したセルヘッダ44-1のPTフィールド44-1Dにより最終セルの受信を認識するまで、ステップ500~520を繰返し、受信セルを組み立てて受信バッファ48上に受信パケットを形成する(ステップ521)。

【0056】そして、RXDMAC62は、最終セルの受信を認識すると、CRC計算結果から正常性をチェックし、MPU100に対して、受信バッファのアドレスおよび受信データ長を、パケット受信完了情報として通知する(ステップ522)。その後、次の受信に備えて、受信バッファポインタ47-1、受信データ長47-2および受信CRC計算途中結果47-3のフィールドをクリアしておく(ステップ523)。パケット受信完了通知を受けたMPU100は、HOST-DMAC50を起動し、受信パケットを主メモリ5に転送する(ステップ524)。転送完了後、MPU100は、共有メモリ80を介してパケットの受信完了を端末1に通知する(ステップ525)。最後に、MPU100は、転送により空き領域となった受信バッファ48の先頭アドレスを、受信バッファプール65に再登録する(ステップ526)。

【0057】以上説明したように処理することにより、

セルの受信時に、VCの識別を行うことができる。

【0058】つぎに、端末間でデータを送受信する際のATM通信制御装置2の動作を、図16に示すタイムチャートに従って具体的に説明する。

【0059】図16に、ATM通信制御装置2が図12~15に示すフローチャートに従って処理を行った場合のタイムチャートを示す。なお、図16では、片方向の通信のみを示しているが、実際の通信は双方向に行われる。

【0060】図16において、端末1Aと端末1Bとの間で、VPI/VCIがVC1とVC2とで示されるコネクションが確立されると、各端末に接続されるATM通信制御装置2AおよびBでは、図13に示すようなフローチャートに従ってVPI/VCIおよびVC_IDをVC識別CAM77に登録する。図16においては、VC2およびVC_ID2の登録時に、ATM通信制御装置2BのVC識別CAM77のエントリに空きがなく、VC1およびVC_ID1の登録を廃棄して、VC2およびVC_ID2を登録した場合を例にしている。この場合、ATM通信制御装置2Bで、VC1によりデータを受信した場合には、再度、VC1およびVC_ID1の登録を行うことにより、データを受信することができる。

【0061】以上で説明したように、本実施形態のATMコントローラでは、たとえ受信セルのVPI/VCIおよびVC_IDの組み合わせがVC識別CAM77に登録されていないなくても、MPU100を用いて、CAMの書き換えを行うため、CAMの回路規模を小さくでき、しかも多数のVCに対応できる。また、MPU100に行わせるプログラムを変更することにより、プロトコル処理の設定や変更に対応でき、ソフトウェア処理の負担を、より低減させたATMコントローラを提供することができる。

【0062】

【発明の効果】本発明によれば、小さい回路規模で多数のVC設定に対応でき、PCカード等の超小型の装置でATM端末やATMサーバが実現可能となる。

【図面の簡単な説明】

【図1】 本実施の形態におけるATM通信制御装置およびATMコントローラの構成を示すブロック図。

【図2】 本実施の形態におけるATM通信制御装置が適用されるネットワークシステムの構成図。

【図3】 本実施の形態における通信プロトコルレイヤの階層を示す説明図。

【図4】 本実施の形態におけるネットワークを流れるフレームの形式を示す説明図。

【図5】 本実施の形態におけるATMセルの構成を示す説明図。

【図6】 本実施の形態におけるATMプロトコルの通信シーケンスを示す説明図。

【図7】 本実施の形態におけるATMプロトコルにおける、MPUとワイヤードロジックの機能分担を示した説明図。

【図8】 本実施の形態におけるバッファメモリに定義されたテーブルの構成図。

【図9】 本実施の形態におけるセル送受信制御部の構成を示すブロック図。

【図10】 本実施の形態におけるCAMの構成図。

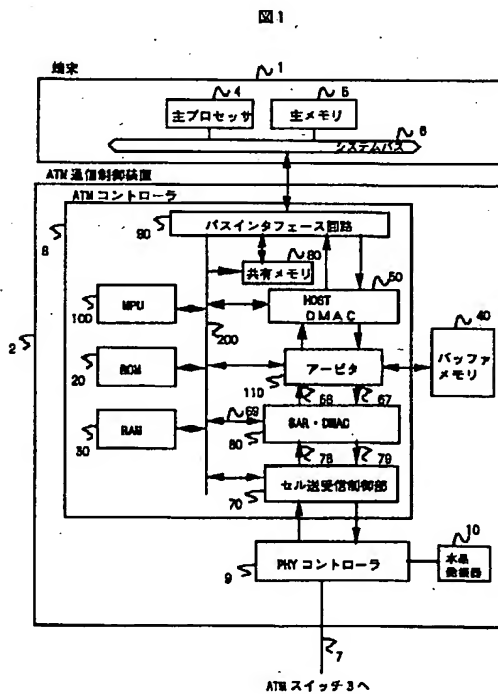
【図11】 本実施の形態におけるSAR・DMACの構成を示すブロック図。

【図12】 本実施の形態におけるATM通信制御装置の送信処理フローを示すフローチャート。

【図13】 本実施の形態におけるATM通信制御装置のコネクション設定時のフローを示すフローチャート。

【図14】 本実施の形態におけるATM通信制御装置の受信処理フローを示すフローチャート。

【図1】



【図15】 本実施の形態におけるATM通信制御装置の受信処理フローを示すフローチャート。

【図16】 本実施の形態におけるATM通信制御装置の動作を示すタイムチャート。

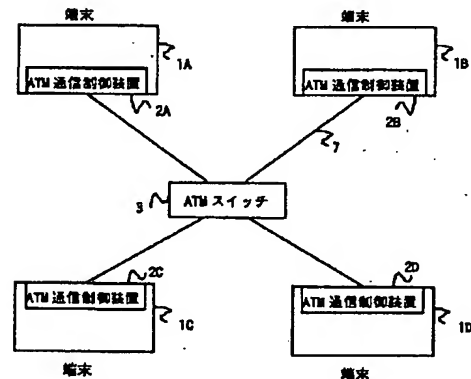
【図17】 本実施の形態におけるVPI/VCIとVC_IDとの対応関係を示す説明図。

【符号の説明】

1…端末、2…ATM通信制御装置、3…ATMスイッチ、4…主プロセッサ、5…主メモリ、6…システムバス、7…伝送路、8…ATMコントローラ、9…PHYコントローラ、10…水晶発振器、20…ROM、30…RAM、40…バッファメモリ、50…HOST・DMAC、60…SAR・DMAC、70…セル送受信制御部、80…共有メモリ、90…バスインタフェース回路、100…MPU、200…内部バス。

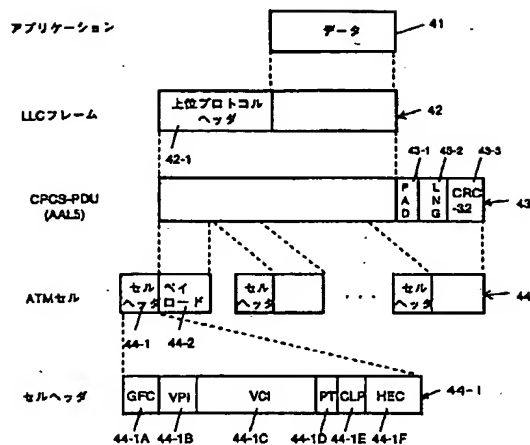
【図2】

図2

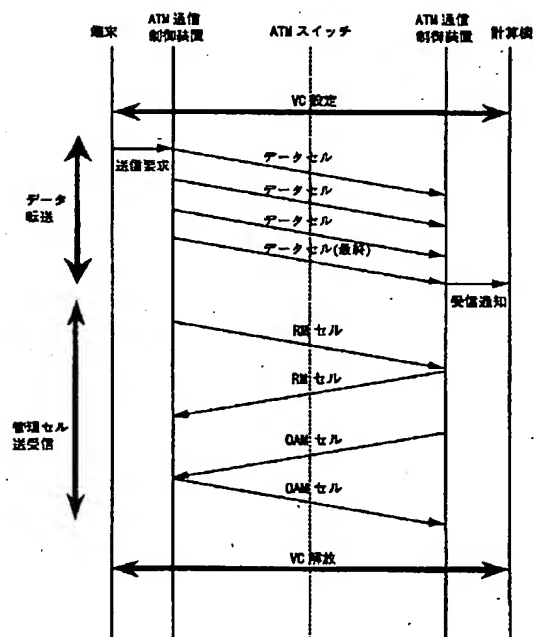


【图4】

4



【図 6】

EX 6

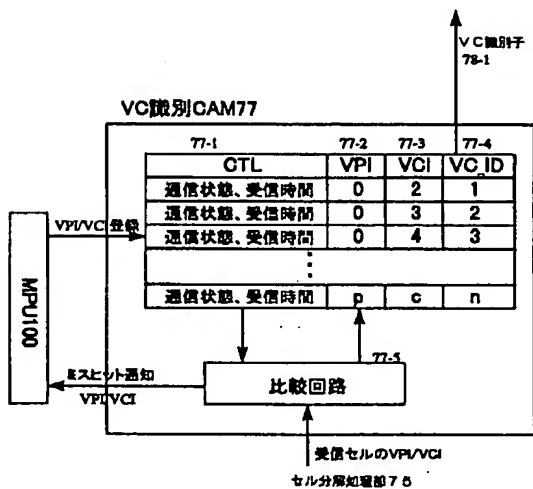
【図7】

図7

機 能		MPU	ワイヤード ロジック
送信処理	端末からの送信要求受け付け	○	
	CRC32 の作成		○
	CRC-32 以外	○	
	データセル 送信処理		○
	セル送信処理		○
	管理セル (OAM, RM セル) 送信処理	○	
受信処理	データセル 受信処理		○
	セル組立て処理		○
	管理セル (OAM, RM セル) 受信処理		○
	セル受信処理	○	
	CRC-32 の解析		○
	CRC-32 以外	○	
個そう検出時の処理		○	
端末への受信通知		○	

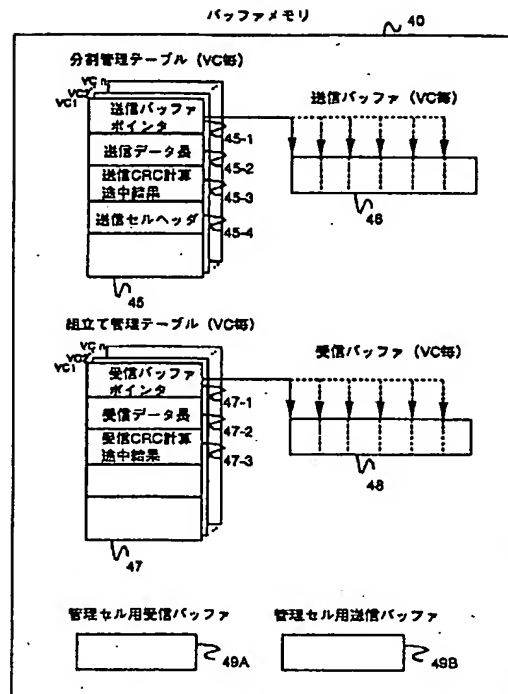
【図10】

図10



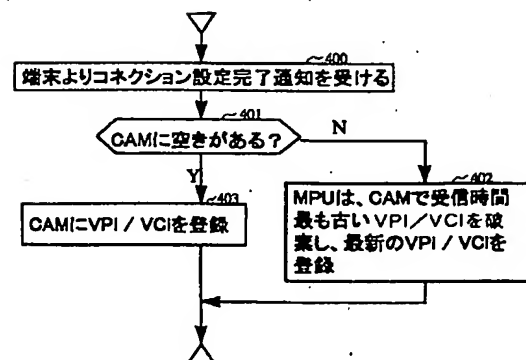
【図8】

図8

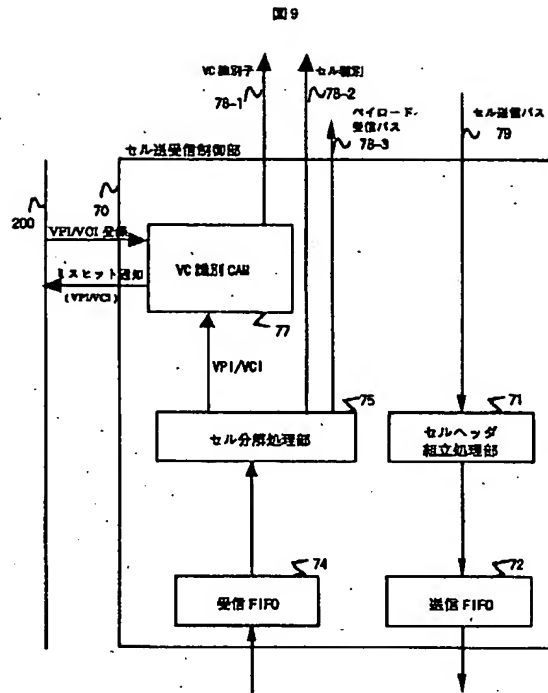


【図13】

図13



【図9】



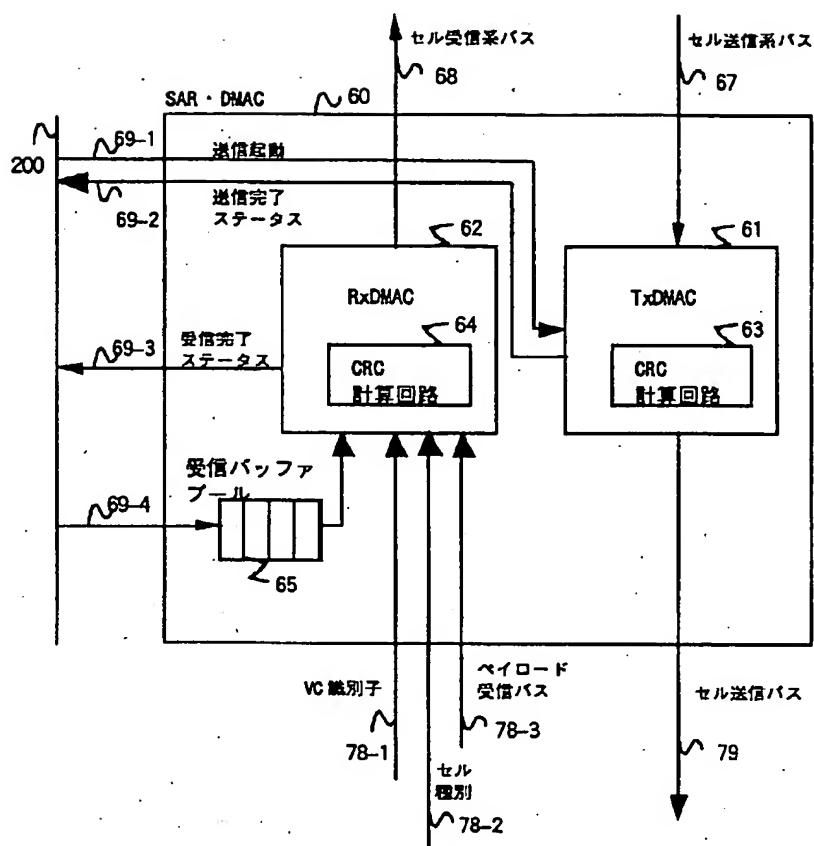
【図17】

図17

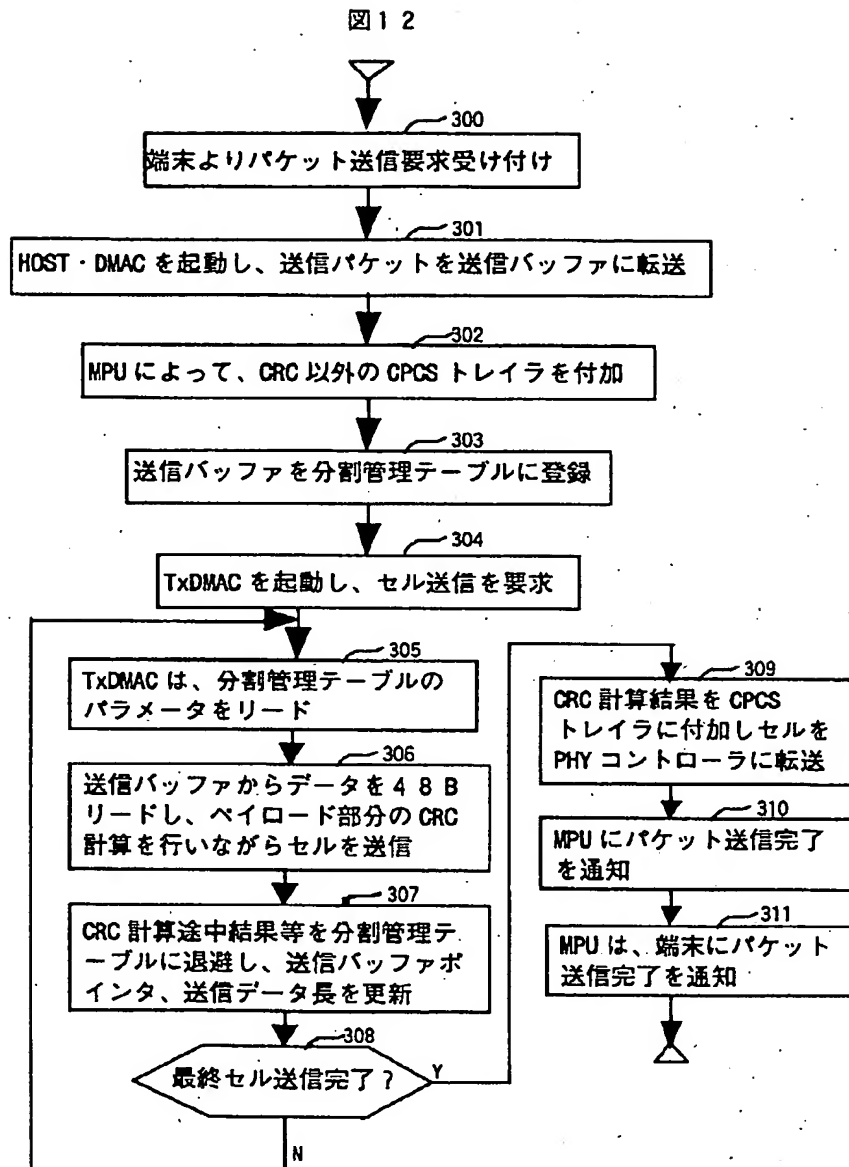
VPI/VCI	VC_ID
0/2	1
0/3	2
0/4	3
0/5	4
0/6	5
⋮	⋮

【図11】

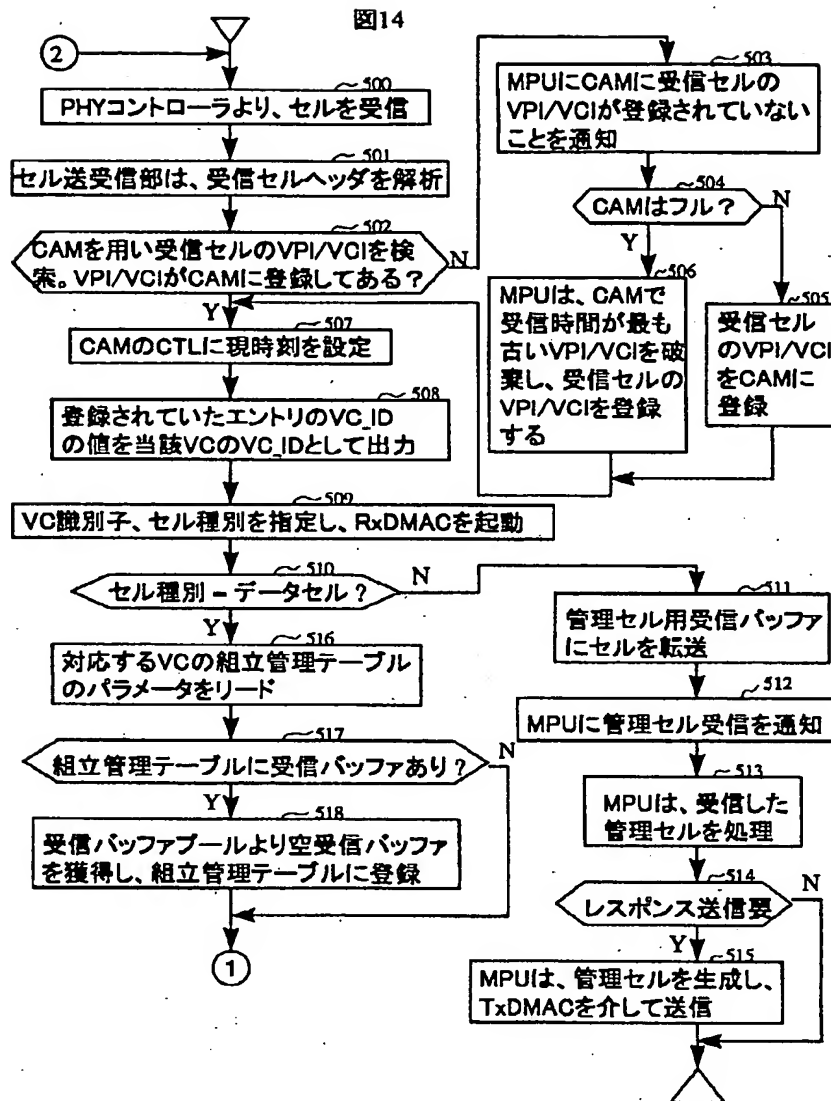
図11



【図12】

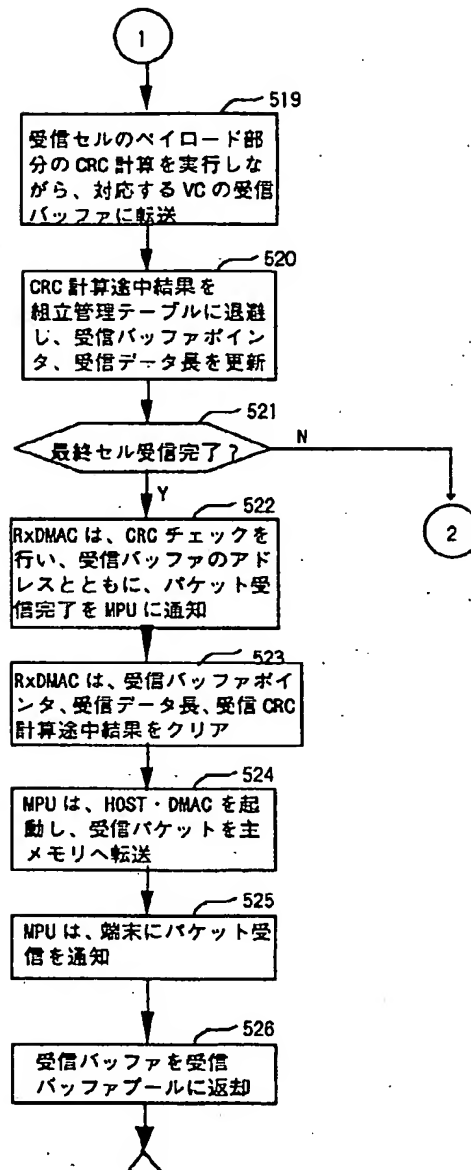


【図14】



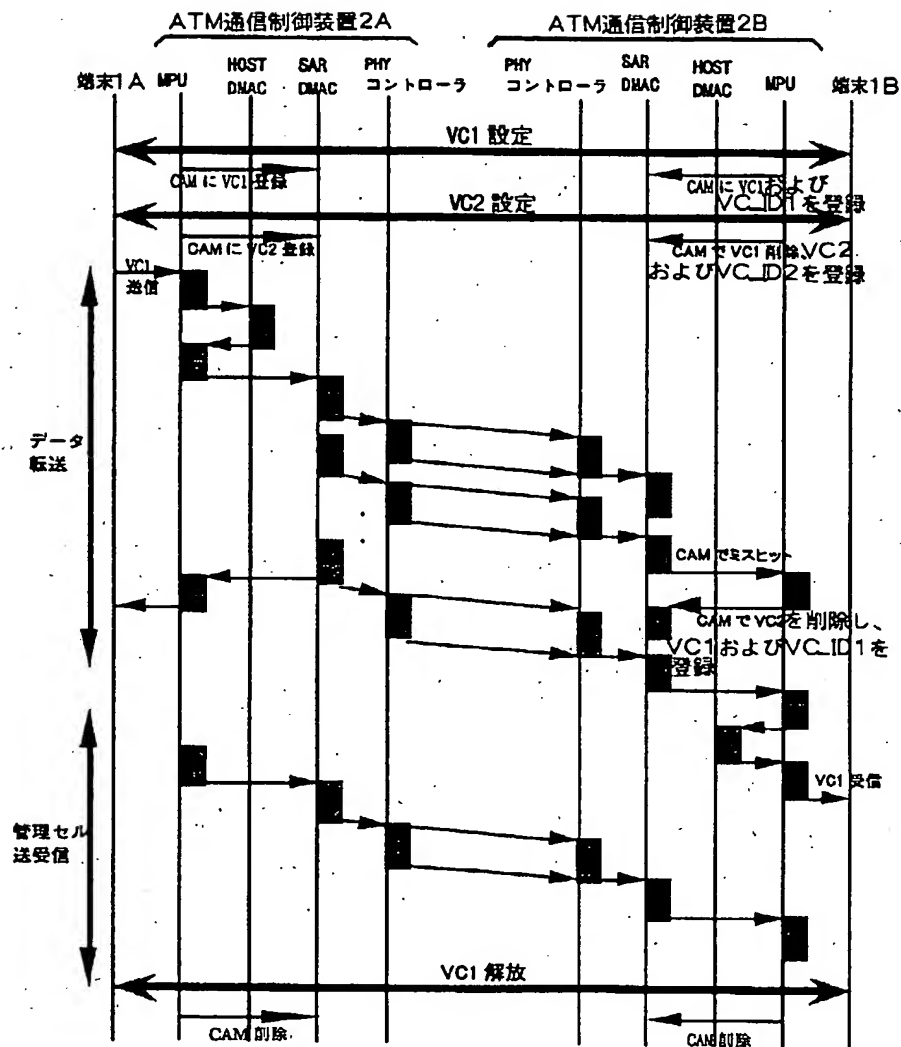
【図15】

図15



【図16】

図16



フロントページの続き

(72)発明者 横山 達也
 神奈川県川崎市麻生区王禅寺1099番地 株
 式会社日立製作所システム開発研究所内

(72)発明者 水谷 美加
 神奈川県川崎市麻生区王禅寺1099番地 株
 式会社日立製作所システム開発研究所内

(72)発明者 高田 治
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72)発明者 端 栄三
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内
(72)発明者 鈴木 公司
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内